

2020/2021 – Elektrotechniek – Semester 2.1

Studiewijzer Digitale Systeemengineering 1 – (E-DIGSE1-13) – 3 studiepunten

Verantwoordelijk docent: Jesse op den Brouw J.E.J.opdenBrouw@hhs.nl

Overige docent(en): Wasif Muhammad W.Muhammad@hhs.nl

Opbouw onderwijseenheid

E-DIGSE1-13	onderdeel	werkvorm	blok	Contact	Zelfstudie	Toetsvorm*
DIGSE1-th1	Digitale Systeem-engineering 1	hoorcollege	3	14+2**	23+8**	Schriftelijk
DIGSE1-pr1	Digitale Systeem-engineering 1	practicum	3	14	23	Practicum

* voor toetsing, zie paragraaf Toetsing

** inclusief toets

Voorkennis / ingangseisen

Kennis en vaardigheden die je hebt opgedaan bij INLDIG (Inleiding Digitale Techniek) en GESPRG (Gestructureerd programmeren in C) zal je nodig hebben. De kennis en vaardigheden die je bij DIGSE1 gaat verwerven zal je gaan toepassen in bij DIGSE2 en het PRODIG-project (VT-studenten).

Beschrijving

Deze module legt de basis voor het beschrijven van digitale systemen in de beschrijvingstaal VHDL en legt de basis voor het project PRODIG en de minor Embedded Systems uit de leerlijn digitale technieken. In de praktijk zien we steeds vaker dat de digitale bouwsteen FPGA wordt toegepast. Om FPGA's te configureren is een beschrijvingstaal noodzakelijk, het is ondoenlijk om dit soort systemen met losse poorten te realiseren. De gebruikte beschrijvingstaal voor de FPGA is VHDL. Met VHDL kunnen besturingen (control) voor processen en rekenkudige bewerkingen (datapath) worden beschreven, worden gesimuleerd en worden gerealiseerd. Het gebruik van geheugenelementen in complexe digitale systemen brengt met zich mee dat naast de logische werking ook de timing geverifieerd moet worden. Het begrijpen en uitrekenen van parameters als maximale frequentie en skew tijd is hiervoor een voorwaarde.

Na afloop van deze module kan de student:

- van een eenvoudige combinatorische schakeling een timingsdiagram opstellen, inclusief delta delays;
- een statische timinganalyse uitvoeren op een sequentiele schakeling met maximaal twee flipflops, waarbij sprake is van klokskew;

- een statische timinganalyse uitvoeren op een sequentiele schakeling met meerdere flipflops waarbij geen sprake is van klokskew;
- vanuit een eenvoudige VHDL-beschrijving een schakelschema opstellen op RTL-niveau, gebruikmakend van bouwstenen als: registers, opteller/aftrekkers, vergelijkers, multiplexers en losse poorten;
- vanuit een schema op RTL-niveau de bijhorende VHDL-beschrijving maken;
- een telschakeling analyseren en de doorlopen telstanden bepalen. De teller hoeft hierbij niet zuiver binair te tellen; andere tellers zoals LFSR en Johnson-counters zijn mogelijk;
- aan een synchronisatie-schakeling eenvoudige berekeningen uitvoeren, zoals het bepalen van de MTBF en het bepalen van de maximaal toelaatbare frequentie van het asynchrone ingangssignaal;
- een reset-synchronizer implementeren en uitleggen waarom een reset belangrijk is voor een sequentiele schakeling.

Studiemateriaal

Verplicht:

- The student's Guide To VHDL, 2nd Edition, Peter Ashenden, ISBN: 9781558608658, Morgan Kaufman Publishers.
- Dictaat, zie <http://ds.opdenbrouw.nl/digse1.html>

Beschikbare documentatie:

- Slides behorende bij het vak. Zie BlackBoard Course E-DIGSE1-13-2019;
- Practicumopdrachten. Zie BlackBoard Course E-DIGSE1-13-2019;
- Opgaven uit de slides met antwoorden. Zie BlackBoard Course E-DIGSE1-13-2019.

Benodigde hardware en software:

- Quartus II versie 13.0sp1, beschikbaar via dl.altera.com;
- DE-0 experimenteerbordje (beschikbaar in D1.052).

Leerdoelen en toetsmatrijs

Leerdoel	Kennis	Toepassing	Analyse	Inzicht
opstellen van een timingsdiagram van een eenvoudige combinatorische schakeling inclusief delta delays.	++	+++		
een statische timinganalyse uitvoeren op een sequentiele schakeling	++	+++		
vanuit een eenvoudige VHDL-beschrijving een schakelschema opstellen op RTL-niveau, gebruikmakend van bouwstenen als: registers, opteller/aftrekkers, vergelijkers, multiplexers en losse poorten.	++	++		
vanuit een schema op RTL-niveau de bijhorende VHDL-beschrijving maken.	++	++		
aan een synchronisatie-schakeling eenvoudige berekeningen uitvoeren, zoals het bepalen van de MTBF en het bepalen van de maximaal toelaatbare frequentie van het asynchrone ingangssignaal.	++	++		
een telschakeling analyseren en de doorlopen telstanden bepalen. De teller hoeft hierbij niet zuiver binair te tellen; andere tellers zoals LFSR en Johnson-counters zijn mogelijk.	++	++		
voor een eenvoudig digitaal probleem een VHDL-beschrijving opstellen. Eenvoudig wil zeggen binnen de scope van het reeds geleerde. Denk hierbij aan tellers, schuifregisters, flipflops, combinatorische logica.	++	+++		
Het opstellen en analyseren van een testbench voor een in VHDL beschreven schakeling	+	+		

+: Komt af en toe voor in toetsing

++: Komt regelmatig voor in toetsing

+++ : Komt zeker voor in toetsing

Toetsing

E-DIGSE1-13	Toetsvorm	Bodemcijfer	Weefactor	Wk	Herkansing	Wk
DIGSE1-th1	Schriftelijk	5,5	1	8	schriftelijk	10
DIGSE1-pr1	Practicum	V	O/V	7	opdracht	10

Werkwijze en beoordeling

De schriftelijke toets wordt op individuele basis afgenomen. Bij de toets mogen de volgende hulpmiddelen gebruikt worden:

- Slides behorende bij het vak DIGSE1;
- De boeken: The Student's Guide... en dictaat (zie Studiemateriaal);
- Persoonlijk aantekeningen behorende bij het vak DIGSE1;
- Grafische en/of gewone rekenmachine.

De toets is behaald als het resultaat 5,5 of hoger is¹.

Het practicum wordt uitgevoerd op individuele basis. Het is de bedoeling dat je op dit practicum leert om de beschrijvingstaal VHDL te gebruiken bij het realiseren van digitale systemen. De practicum-opdrachten worden afgesloten door een demonstratie van het werkende systeem aan de practicum-docent gevolgd door een evaluatiegesprek(je). De docent kan dan vragen naar de manier van aanpak, bepaalde details van jullie oplossing, achterliggende theorie enz.

Practicum DIGSE1

Participatieplicht

Bij het practicum van DIGSE1-pr1 geldt een zgn. participatieplicht. Participatieplicht is een inspanningsverplichting van jou die het volgende inhoudt:

1. Het practicum wordt voorbereid door de theorie te bestuderen die hoort bij de te maken practicumopgave.
2. Aanwezigheid bij practicumbijeenkomsten;
3. Een actieve, professionele en resultaatgerichte werkhouding van jou tijdens de ingeroosterde practicumbijeenkomsten. Dit houdt in dat:
 - a) Je verwacht wordt dat je een deel van het werk kan doen zonder aanwezigheid van begeleiding. Daartoe zijn de practicumruimten opengesteld als ze niet zijn ingeroosterd;
 - b) Je wordt verwacht, indien van toepassing, vragen te stellen en dat je daarbij je eigen hypothese of handelen goed kan beschrijven;
 - c) Het niet is toegestaan om te eten en te drinken in een laboratoriumruimte;
 - d) Er bij ziekte en overmacht zo spoedig mogelijk voorafgaand aan de practicumbijeenkomst contact wordt gezocht met de docent. Je kunt met de docent een inhaalafsprake maken om bij een andere practicumgroep het practicum in te halen.
 - e) Verwacht wordt dat de practicumopdrachten zelfstandig worden uitgevoerd.
 - f) Het laten beoordelen van een programma/ontwerp dat je niet zelf hebt bedacht en geprogrammeerd wordt beschouwd als mogelijke fraude. De mogelijke fraude wordt gemeld bij de examencommissie en deze neemt verdere vervolgstappen.

¹ Zie voor meer informatie de Onderwijs- en Examenregeling (OER) 2019-2020.

Beoordeling

Het practicum wordt na de laatste ingeroosterde les beoordeeld met een O of een V. Voor het behalen van een “V” dient te worden voldaan aan de volgende criteria:

- a. Participatieplicht
Je hebt je gehouden aan de hierboven genoemde participatieplicht.
- b. Aftekenen
Op het practicum kan de docent beoordelen of de student de opdracht heeft voltooid. Als de opdracht is voltooid, dan wordt deze afgetekend op de **practicumkaart/excel**. Alle opdrachten die op Blackboard voor het practicum zijn gegeven dienen te worden voltooid.

Als het programma nog niet in orde is bij het laten beoordelen door de practicumdocent, dan is dat niet direct een probleem. Je kunt het programma daarna weer aanpassen a.h.v. de aanwijzingen van de practicumdocent. Je kunt vervolgens het programma weer laten beoordelen mits je nog voldoet aan het tijdschema voor het aftekenen zoals is vermeld hieronder. Je dient het programma overigens wel goed te testen voordat je het laat beoordelen.

- c. Tijdschema aftekenen
Iedere practicumopdracht dien je uiterlijk een week later dan de aangegeven week te laten beoordelen door de practicumdocent. Je kunt hier alleen van afwijken na tijdig overleg met de practicumdocent.

Herkansing

Als voldaan is aan de participatieplicht, zoals hierboven is vermeld, en het practicum desondanks niet met een voldoende is afgerond, dan is er een herkansingsmogelijkheid in week 10. De herkansing bestaat uit het laten beoordelen van de opdrachten die niet zijn afgetekend. Je mag bij deze herkansing maximaal 3 opdrachten laten beoordelen/aftekenen.

Weekindeling theorie

Week	Stof / voorbereiding	Onderwerpen	Opgaven / Huiswerk
1	H7 SG: H1, H2, H4, H5, H8	VHDL basics: component, entity, architecture . Dataobjecten, datatypen, STD_LOGIC, vectoren. Concurrent Signal Assignment.	Zie studiemateriaal
2	H7 SG: H4, H11, H14	VHDL delay-mechanisme (transport, reject, delta delay). Voorbeelden simulator, VHDL process en sequential VHDL, simulatie. Hiërarchie, generics.	Zie studiemateriaal

3	H7	Synthese . Testbenches, simulatie.	Zie studiemateriaal
4	H8	Rekenschakelingen met VHDL, Tellers. Toepassing tellers: Digitale PWM.	Zie studiemateriaal
5	H9	Herhaling timing combinatoriek en D-flipflop. Timing bij directe en indirecte dataoverdracht. Setup- en holdtijden systeem en standalone maximale frequentie.	Zie studiemateriaal
6	H10	Metastabiliteit, synchronisatie, reset.	Zie studiemateriaal
7	bespreken proeftoets	-	Zie studiemateriaal

SG: Students' Guide To VHDL

Weekindeling practicum

Week	Opdracht	inlevermoment
1	Tutorial	Practicum in week 2
2	7-segment decoder	Practicum in week 3
3	Schuifregister	Practicum in week 4
4	Knight Rider	Practicum in week 5
5	4-cijfer-teller	Practicum in week 6
6	...	Practicum in week 7
7	Uitloop	n.v.t.