

2018/2019 – Elektrotechniek – Semester 1.2

Studiewijzer Digitale Systeemengineering 1 – (E-DIGSE1-13) – 3 studiepunten

Verantwoordelijk docent: Jesse op den Brouw J.E.J.opdenBrouw@hhs.nl

Overige docent(en): Wasif Muhammad W.Muhammad@hhs.nl

Opbouw onderwijseenheid

E-DIGSE1-13	onderdeel	werkvorm	blok	Contact	Zelfstudie	Toetsvorm*
DIGSE1-th1	Digitale Systeem-engineering 1	hoorcollege	3	14+2**	23+8**	Schriftelijk
DIGSE1-pr1	Digitale Systeem-engineering 1	practicum	3	14	23	Practicum

* voor toetsing, zie paragraaf Toetsing

** inclusief toets

Voorkennis / ingangseisen

Kennis en vaardigheden die je hebt opgedaan bij INLDIG (Inleiding Digitale Techniek) en GESPRG (Gestructureerd programmeren in C) zal je nodig hebben. De kennis en vaardigheden die je bij DIGSE1 gaat verwerven zal je gaan toepassen in bij DIGSE2 en het PRODIG-project.

Beschrijving

Deze module legt de basis voor het beschrijven van digitale systemen in de beschrijvingstaal VHDL en legt de basis voor het project PRODIG en de minor Embedded Systems uit de leerlijn digitale technieken. In de praktijk zien we steeds vaker dat de digitale bouwsteen FPGA wordt toegepast. Om FPGA's te configureren is een beschrijvingstaal noodzakelijk, het is ondoenlijk om dit soort systemen met losse poorten te realiseren. De gebruikte beschrijvingstaal voor de FPGA is VHDL. Met VHDL kunnen besturingen (control) voor processen en rekenkundige bewerkingen (datapath) worden beschreven, worden gesimuleerd en worden gerealiseerd. Het gebruik van geheugenelementen in complexe digitale systemen brengt met zich mee dat naast de logische werking ook de timing geverifieerd moet worden. Het begrijpen en uitrekenen van parameters als maximale frequentie en skew tijd is hiervoor een voorwaarde.

Na afloop van deze module kan de student:

- van een eenvoudige combinatorische schakeling een timingsdiagram opstellen, inclusief delta delays;
- een statische timinganalyse uitvoeren op een sequentiele schakeling met maximaal twee flipflops, waarbij sprake is van klokskew;

- een statische timinganalyse uitvoeren op een sequentiele schakeling met meerdere flipflops waarbij geen sprake is van klokskew;
- vanuit een eenvoudige VHDL-beschrijving een schakelschema opstellen op RTL-niveau, gebruikmakend van bouwstenen als: registers, opteller/aftrekkers, vergelijkers, multiplexers en losse poorten;
- vanuit een schema op RTL-niveau de bijhorende VHDL-beschrijving maken;
- een telschakeling analyseren en de doorlopen telstanden bepalen. De teller hoeft hierbij niet zuiver binair te tellen; andere tellers zoals LFSR en Johnson-counters zijn mogelijk;
- aan een synchronisatie-schakeling eenvoudige berekeningen uitvoeren, zoals het bepalen van de MTBF en het bepalen van de maximaal toelaatbare frequentie van het asynchrone ingangssignaal;
- een reset-synchronizer implementeren en uitleggen waarom een reset belangrijk is voor een sequentiele schakeling.

Studiemateriaal

Verplicht:

- The student's Guide To VHDL, 2nd Edition, Peter Ashenden, ISBN: 9781558608658, Morgan Kaufman Publishers.
- Dictaat, zie <http://ds.opdenbrouw.nl/digse1.html>

Beschikbare documentatie:

- Slides behorende bij het vak. Zie BlackBoard Course E-DIGSE1-13-2018;
- Practicumopdrachten. Zie BlackBoard Course E-DIGSE1-13-2018;
- Opgaven uit de slides met antwoorden. Zie BlackBoard Course E-DIGSE1-13-2018.

Benodigde hardware en software:

- Quartus II versie 13.0sp1, beschikbaar via dl.altera.com;
- DE-0 experimenteerbordje (beschikbaar in D1.052).

Leerdoelen en toetsmatrijs

Leerdoel	Kennis	Toepassing	Analyse	Inzicht
opstellen van een timingsdiagram van een eenvoudige combinatorische schakeling inclusief delta delays.	++	+++	++	++
een statische timinganalyse uitvoeren op een sequentiele schakeling	++	+++	++	++
vanuit een eenvoudige VHDL-beschrijving een schakelschema opstellen op RTL-niveau, gebruikmakend van bouwstenen als: registers, opteller/aftrekkers, vergelijkers, multiplexers en losse poorten.	++	++	++	++
vanuit een schema op RTL-niveau de bijhorende VHDL-beschrijving maken.	++	++	++	++
aan een synchronisatie-schakeling eenvoudige berekeningen uitvoeren, zoals het bepalen van de MTBF en het bepalen van de maximaal toelaatbare frequentie van het asynchrone ingangssignaal.	++	++	++	++
een telschakeling analyseren en de doorlopen telstanden bepalen. De teller hoeft hierbij niet zuiver binair te tellen; andere tellers zoals LFSR en Johnson-counters zijn mogelijk.	++	++	++	++
voor een eenvoudig digitaal probleem een VHDL-beschrijving opstellen. Eenvoudig wil zeggen binnen de scope van het reeds geleerde. Denk hierbij aan tellers, schuifregisters, flipflops, combinatorische logica.	++	+++	++	++
Het opstellen en analyseren van een testbench voor een in VHDL beschreven schakeling	+	+	+	+

+: Komt af en toe voor in toetsing

++: Komt regelmatig voor in toetsing

+++ : Komt zeker voor in toetsing

Toetsing

E-DIGSE1-13	Toetsvorm	Bodemcijfer	Weefactor	Wk	Herkansing	Wk
DIGSE1-th1	Schriftelijk	5,5	1	8	schriftelijk	10
DIGSE1-pr1	Practicum	V	O/V	7	opdracht	10

Werkwijze en beoordeling

De schriftelijke toets wordt op individuele basis afgenomen. Bij de toets mogen de volgende hulpmiddelen gebruikt worden:

- Slides behorende bij het vak DIGSE1;
- De boeken: The Student's Guide... en dictaat (zie Studiemateriaal);
- Persoonlijk aantekeningen behorende bij het vak DIGSE1;
- Grafische en/of gewone rekenmachine.

De toets is behaald als het resultaat 5,5 of hoger is¹.

Het practicum wordt uitgevoerd op individuele basis. Het is de bedoeling dat je op dit practicum leert om de beschrijvingstaal VHDL te gebruiken bij het realiseren van digitale systemen. De practicum-opdrachten worden afgesloten door een demonstratie van het werkende systeem aan de practicum-docent gevolgd door een evaluatiegesprek(je). De docent kan dan vragen naar de manier van aanpak, bepaalde details van jullie oplossing, achterliggende theorie enz.

Regels voor het practicum:

1. Aanwezigheid tijdens het practicum is **verplicht**.
2. Bij ziekte e.d. zo spoedig mogelijk (lieftst voorafgaand aan het practicum) contact opnemen met de docent (lieftst per mail) om inhaal mogelijkheden te bespreken.
3. Een practicumopdracht moet uiterlijk één week later worden afgerond dan de week waarin de opdracht moet worden uitgevoerd.
4. Te laat ingeleverde opdrachten zijn automatisch onvoldoende en kunnen niet worden ingehaald!
5. Een ingeleverde opdracht die niet met een voldoende wordt beoordeeld kan (een week later) worden aangevuld. Als je code niet helemaal perfect blijkt te zijn is dat dus geen probleem. Als je pas begint met beschrijven is het normaal dat alles niet meteen perfect is. Natuurlijk moet je wel proberen om je code zo goed te maken als je zelf kunt.
6. **Het laten nakijken van VHDL-code die je niet zelf bedacht en beschreven hebt, wordt beschouwd als fraude** (net zoals het spieken bij tentamens). Als je code die je niet zelf hebt gemaakt probeert in te leveren krijg je meteen een onvoldoende voor het gehele practicum. De fraude wordt ook gemeld bij de examencommissie. Fraude kan leiden tot een schorsing.
7. De deadline is week 7 van het blok, de student krijgt dan zijn eindbeoordeling: voldoende of onvoldoende.
8. Een onvoldoende als eindresultaat kan worden herkanst in week 10. De opdrachten die nog niet met een voldoende zijn beoordeeld, dienen binnen 15 minuten te worden gedemonstreerd en beoordeeld.

¹ Zie voor meer informatie de Onderwijs- en Examenregeling (OER) 2018-2019.

Weekindeling theorie

Week	Stof / voorbereiding	Onderwerpen	Opgaven / Huiswerk
1	H7 SG: H1, H2, H4, H5, H8	VHDL basics: component, entity, architecture . Dataobjecten, datatypes, STD_LOGIC, vectoren. Concurrent Signal Assignment.	Zie studiemateriaal
2	H7 SG: H4, H11, H14	VHDL delay-mechanisme (transport, reject, delta delay). Voorbeelden simulator, VHDL process en sequential VHDL, simulatie. Hiërarchie, generics.	Zie studiemateriaal
3	H7	Synthese . Testbenches, simulatie.	Zie studiemateriaal
4	H8	Rekenshakelingen met VHDL, Tellers. Toepassing tellers: Digitale PWM.	Zie studiemateriaal
5	H9	Herhaling timing combinatoriek en D-flipflop. Timing bij directe en indirecte dataoverdracht. Setup- en holdtijden systeem en standalone maximale frequentie.	Zie studiemateriaal
6	H10	(Pipelining, retiming), metastabiliteit, synchronisatie, reset.	Zie studiemateriaal
7	bespreken proeftoets	-	Zie studiemateriaal

SG: Students' Guide To VHDL

Weekindeling practicum

Week	Opdracht	inlevermoment
1	tutorial	Practicum in week 2
2	7-segment decoder	Practicum in week 3
3	schuifregister	Practicum in week 4
4	Knight Rider	Practicum in week 5
5	4-cijfer-teller	Practicum in week 6
6	...	Practicum in week 7
7	uitloop	n.v.t.