



Academie voor Technology, Innovation &
Society Delft
Academie voor ICT & Media

Digitale System Engineering 1

Week 6 – metastabiliteit, synchronisatie, reset

Jesse op den Brouw

DIGSE1/2018-2019

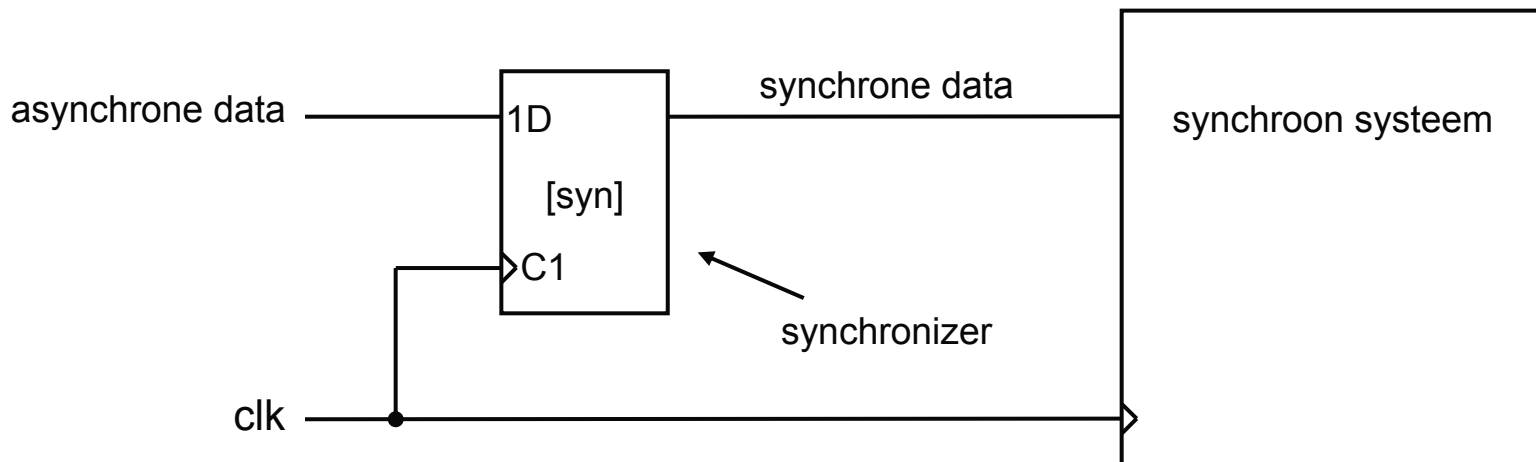
E HAAGSE
HOGESCHOOL

Synchronisatie

- Een complex digitaal systeem bestaat uit combinatorische en sequentiele logica (poorten en flipflops).
- Binnen het systeem worden alle acties uitgevoerd op de klokflank.
- Het systeem heet dan *kloksynchroon*.
- Het digitale systeem heeft ingangen en uitgangen die gekoppeld zijn aan andere systemen.

Synchronisatie

- De ingangen zijn echter *asynchroon* van aard; veranderingen op de ingangen zijn niet synchroon met de klokflank.
- Deze signalen zijn eenvoudig kloksynchroon te maken d.m.v. een *synchronizer*.



Synchronisatie

- De asynchrone signalen veranderen niet synchroon met de klokflank.
- Dat houdt in dat een verandering op een ingang binnen het setup- en holdtijdgebied kan vallen.
- De synchronizer kan dan niet betrouwbaar data overnemen (inklokken).

Synchronisatie

- De uitgang van de synchronizer kan drie kanten op:

De oude waarde blijft behouden.

De uitgangswaarde ligt tussen logisch 0 en 1, dus een ongeldige logische waarde. Na een tijd zal de uitgang één van de twee logische waarden aannemen. De uitgang wordt dan tijdelijk *metastabiel*.

De uitgang gaat oscilleren.

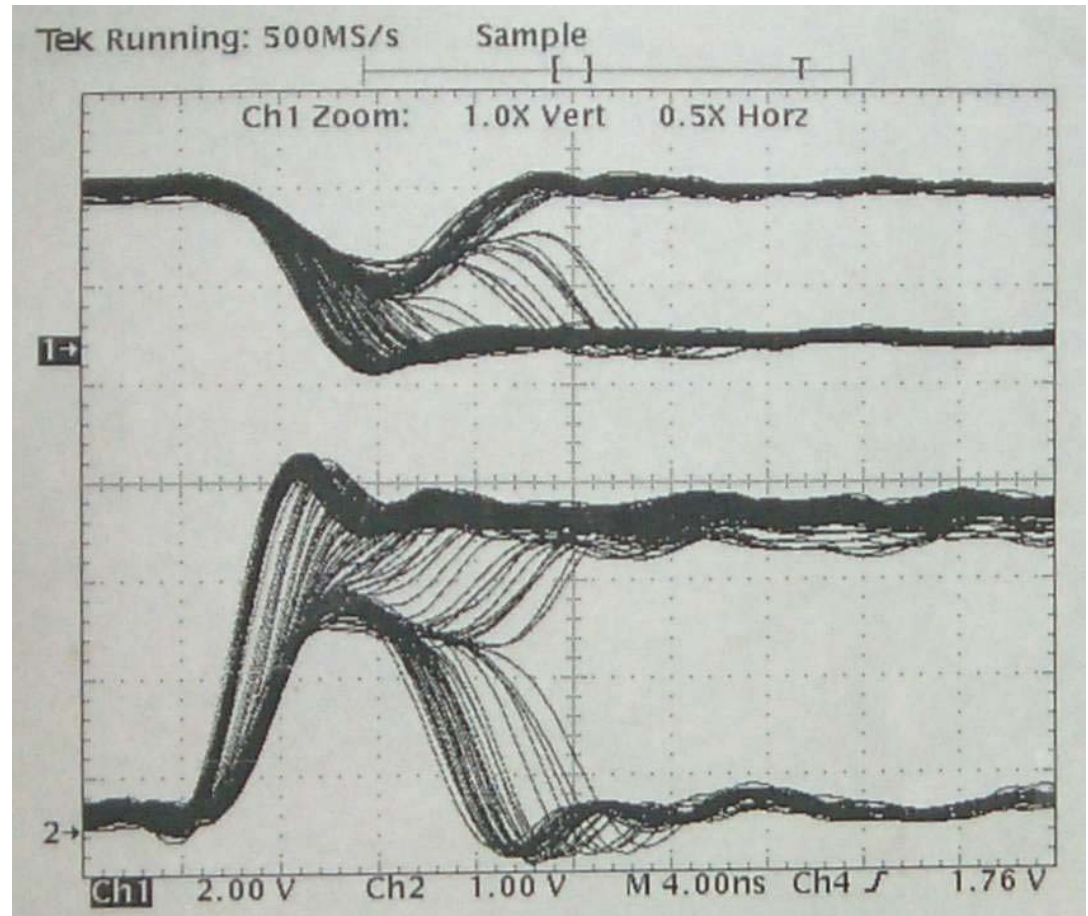
Synchronisatie

Trace 1 = uitgang hoog

Trace 2 = uitgang laag

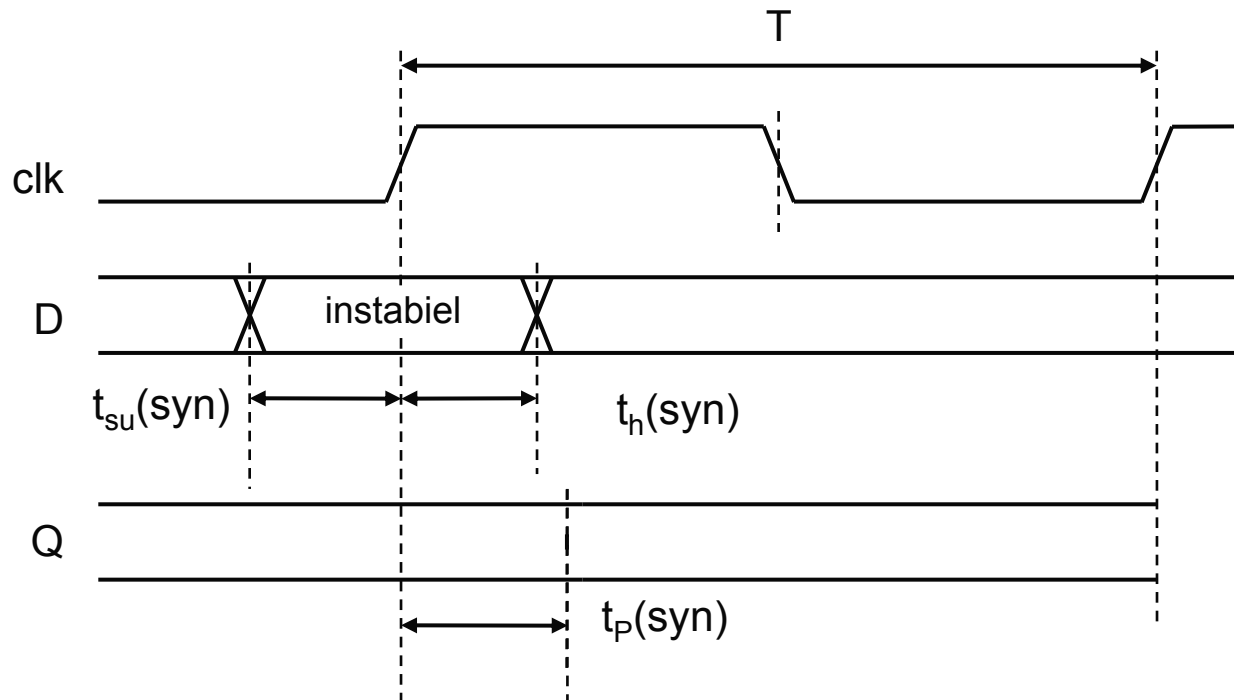
Meerdere runs

Signaalverandering
willekeurig aangeboden.



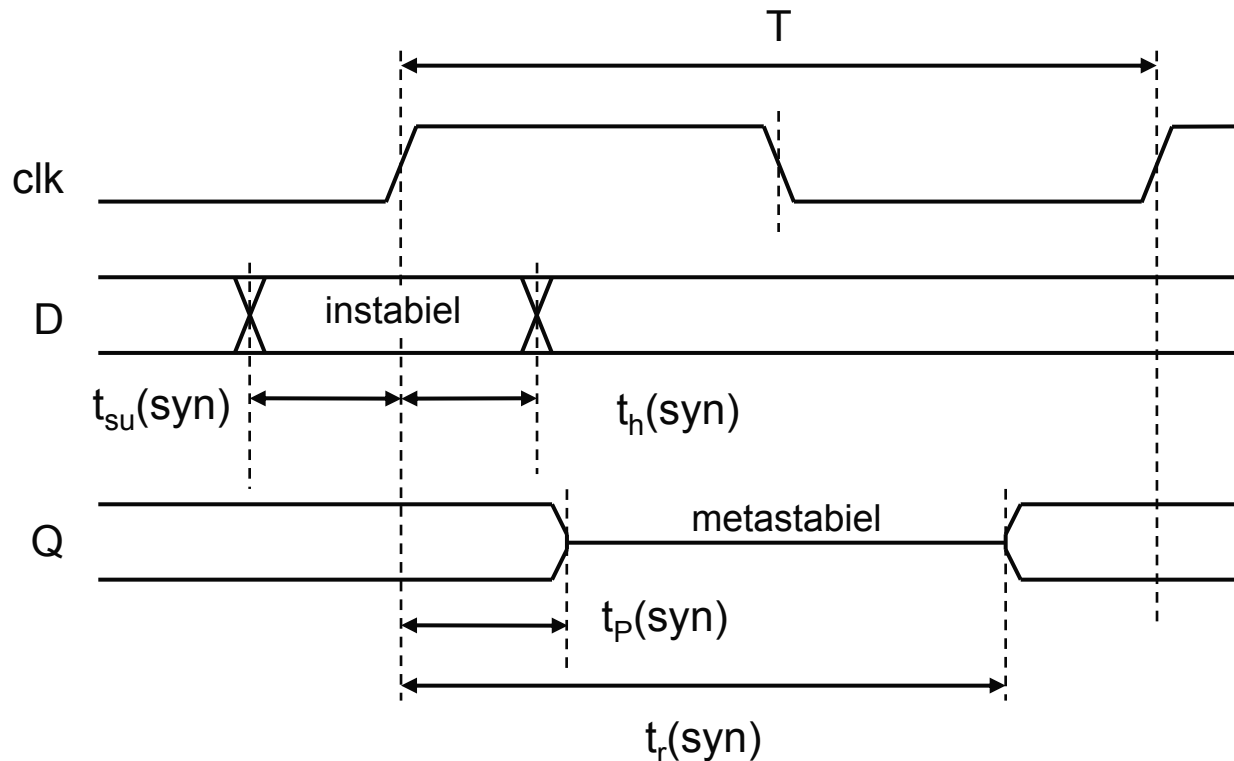
Synchronisatie

- De oude waarde blijft behouden.



Synchronisatie

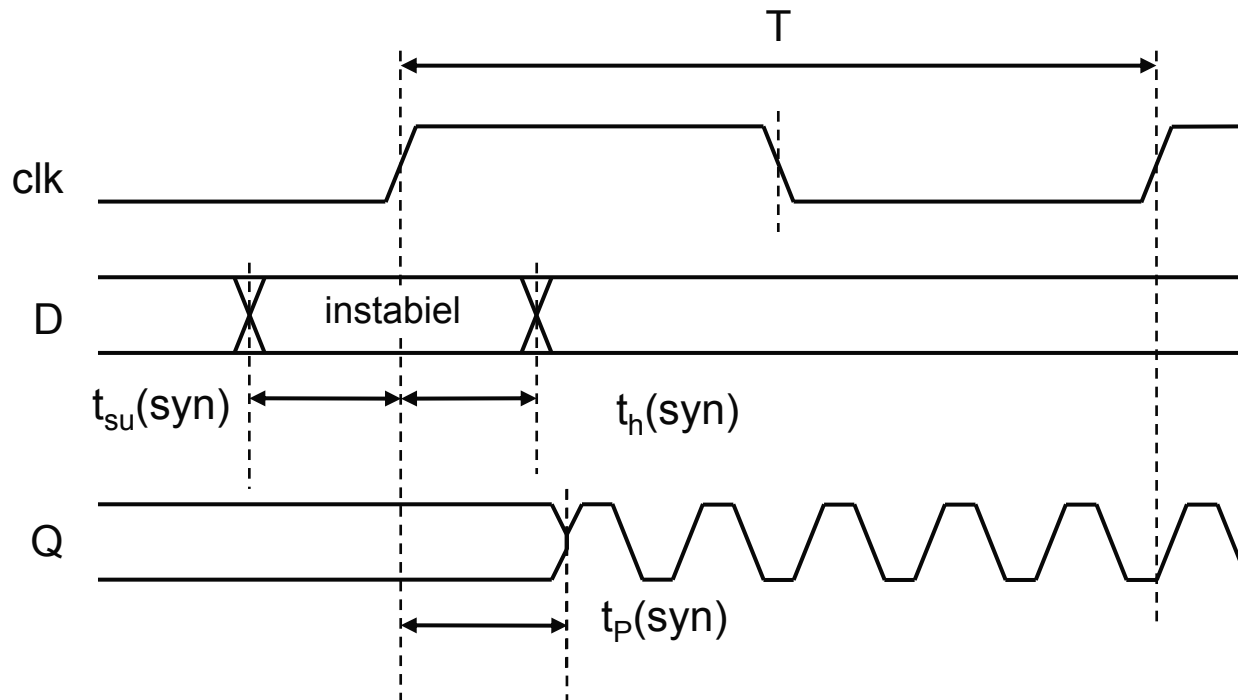
- De uitgang wordt tijdelijk *metastabiel*.



t_r = resolution time

Synchronisatie

- De uitgang gaat oscilleren.



MTBF

- Metastabiliteit wordt gekarakteriseerd door de *Mean Time Between Failures* (MTBF).
- MTBF is een statistische meting van betrouwbaarheid.
- Het geeft de gemiddelde tijd tussen twee fouten aan.
- Het kan zijn dat er direct een fout optreedt of dat twee fouten elkaar direct opvolgen.

MTBF

- De formule voor de MTBF:

$$\text{MTBF}(t_r) = \frac{1}{f_{\text{clk}} \cdot f_{\text{data}} \cdot T_0} \cdot e^{t_r/\tau}$$

- Waarin:
 - f_{clk} = frequentie systeemklok
 - f_{data} = frequentie signaal data-ingang
 - t_r = resolution time
 - τ, T_0 = specifieke waarden van een geheugenelement

MTBF

- Voorbeeld 74LS74

$$f_{\text{clk}} = 20 \text{ MHz (} T = 50 \text{ ns)}$$

$$f_{\text{data}} = 100 \text{ kHz}$$

$$t_r = 30 \text{ ns}$$

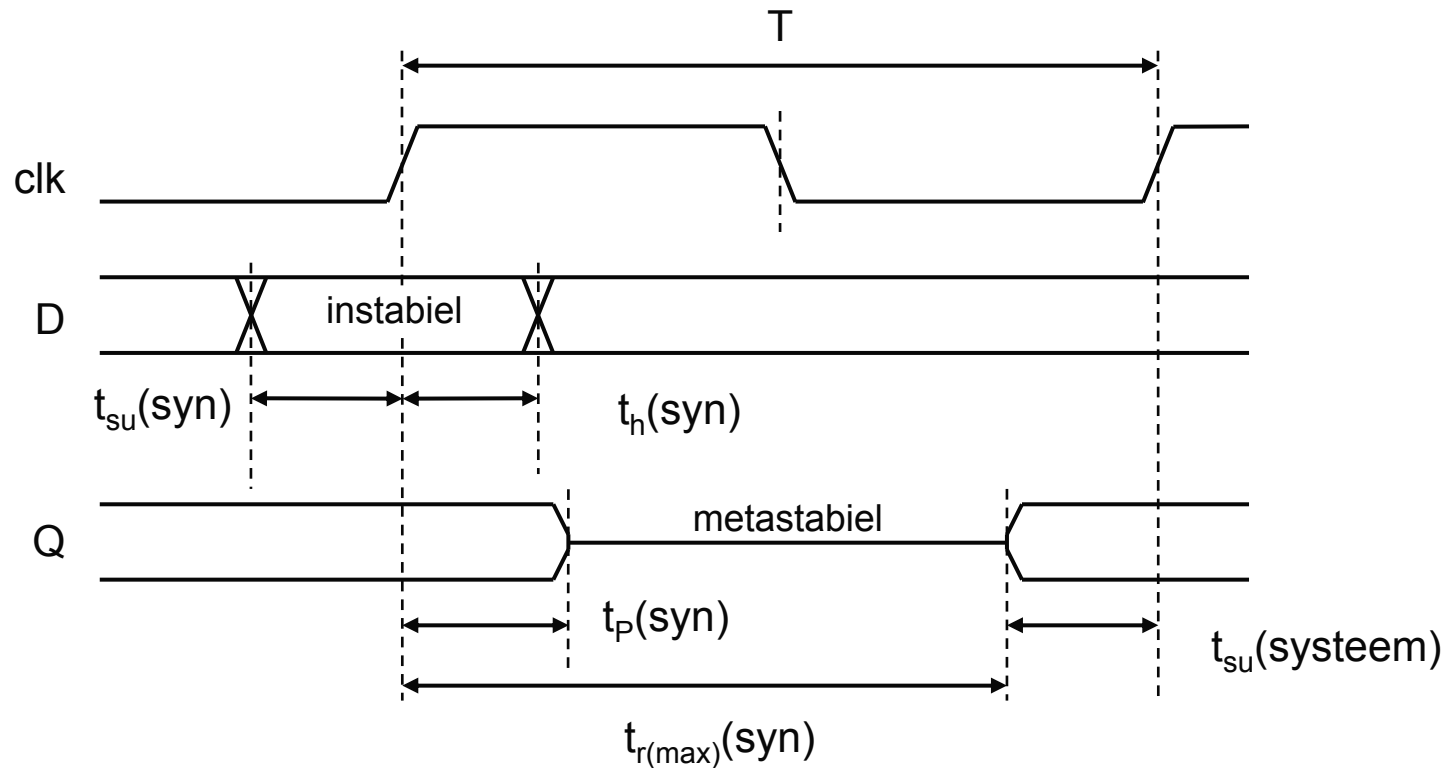
$$\tau, T_0 = 1,35 \cdot 10^{-9}, 4,8 \cdot 10^{-3} \text{ (gegevens TI/1997)}$$

$$\text{MTBF}(t_r) = \frac{e^{t_r / \tau}}{f_{\text{clk}} \cdot f_{\text{data}} \cdot T_0} = \frac{e^{30 \cdot 10^{-9} / 1,35 \cdot 10^{-9}}}{20 \cdot 10^6 \cdot 1 \cdot 10^5 \cdot 4,8 \cdot 10^{-3}} = 0,47 \text{ s}$$

Conclusie: voor deze frequenties een slechte synchronizer.

Synchronisatie

- De maximale t_r hangt af van de systeemfrequentie en setuptijd.



t_r = resolution time

Opgave

- Gegeven een synchroon systeem met een frequentie van 20 MHz. Data komt asynchroon binnen met 100 kHz.

Van de synchronizer 74F50729 is gegeven (5,0 V / +25 °C):

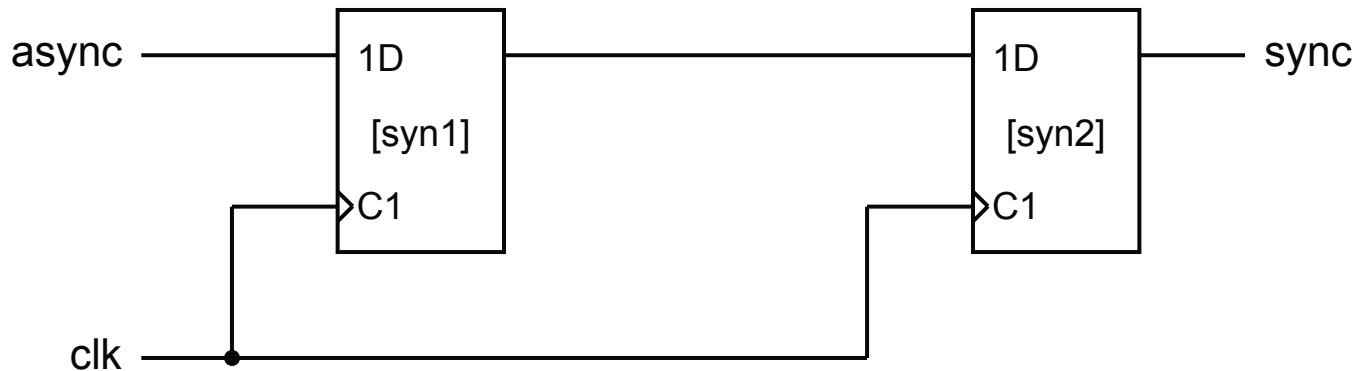
$$\tau = 0,135 \text{ ns}$$

$$T_0 = 9,8 \cdot 10^6 \text{ s}$$

De setuptijd van het achterliggende systeem is 20 ns. Bereken de MTBF van dit systeem.

Dubbele synchronisatie

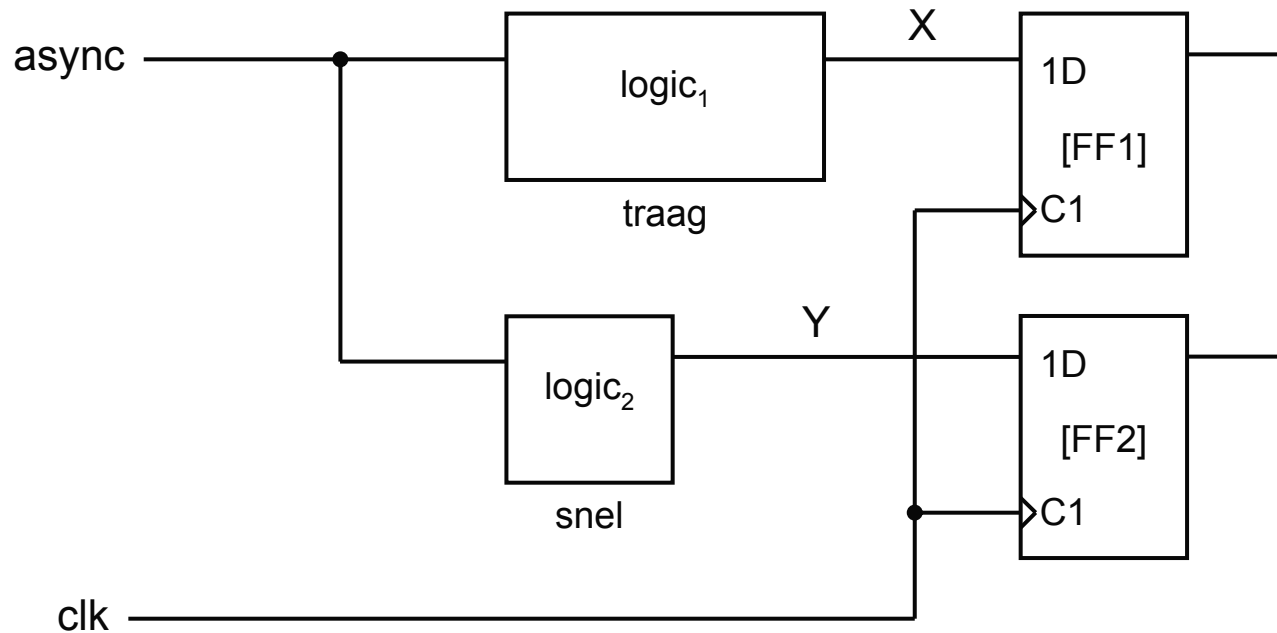
- Dubbele synchronisatie zorgt ervoor dat de kans dat een uitgang/signaal metastabiel wordt verkleind.



- Nadeel is wel dat het asynchroon binnenkomend signaal twee klokcyclussen wordt vertraagd.

Synchronisatie

- Synchronisatie heeft nog een ander doel.
- Denk aan een systeem met voorzetlogica.

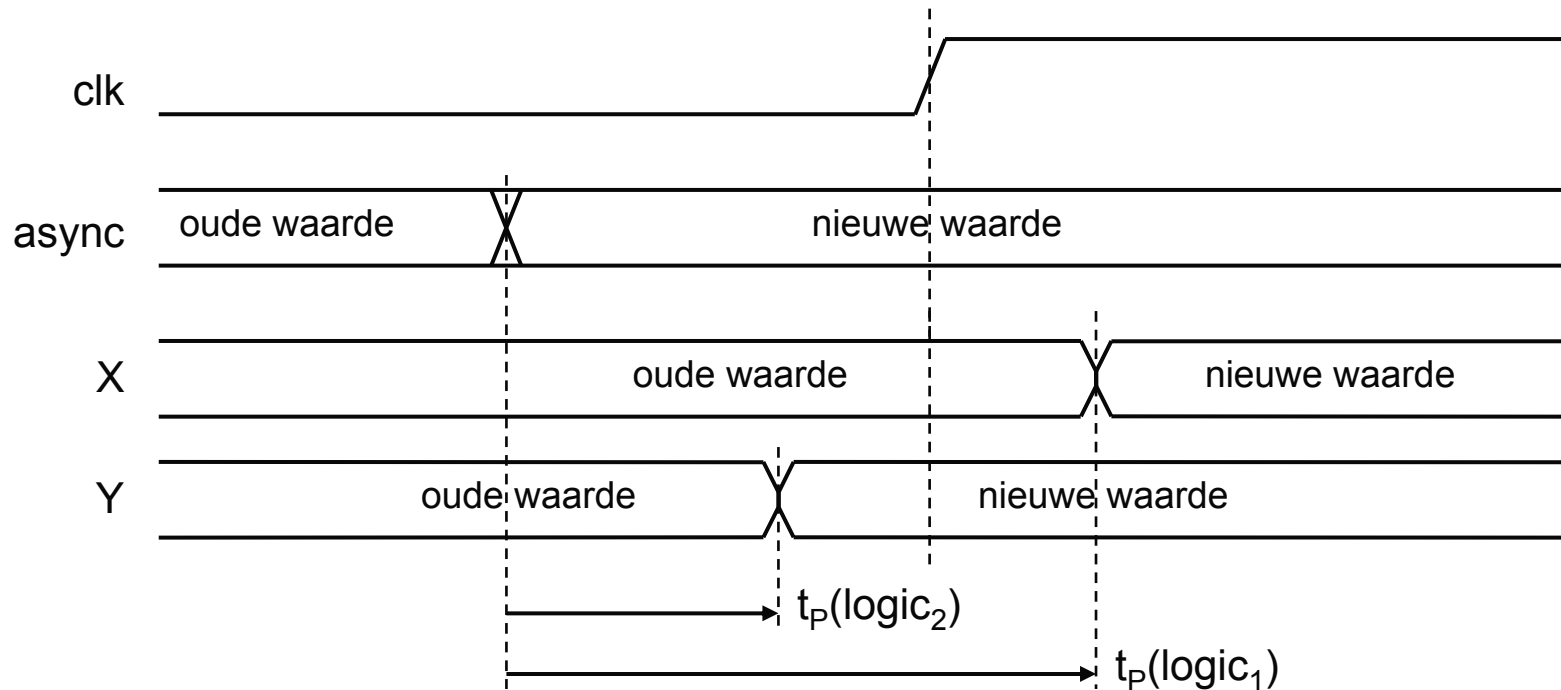


Synchronisatie

- Logica 1 en 2 hebben verschillende vertragingstijden. Het kost enige tijd voordat de logicablokken de juiste uitgangswaarden hebben aangenomen.
- Als logica 1 nu ná de klokflank en logica 2 vóór de klokflank de juiste waarde afgeven, kloppen de flipflops als geheel dus niet de bedoelde waarden in.
- Oplossing: synchronizer.

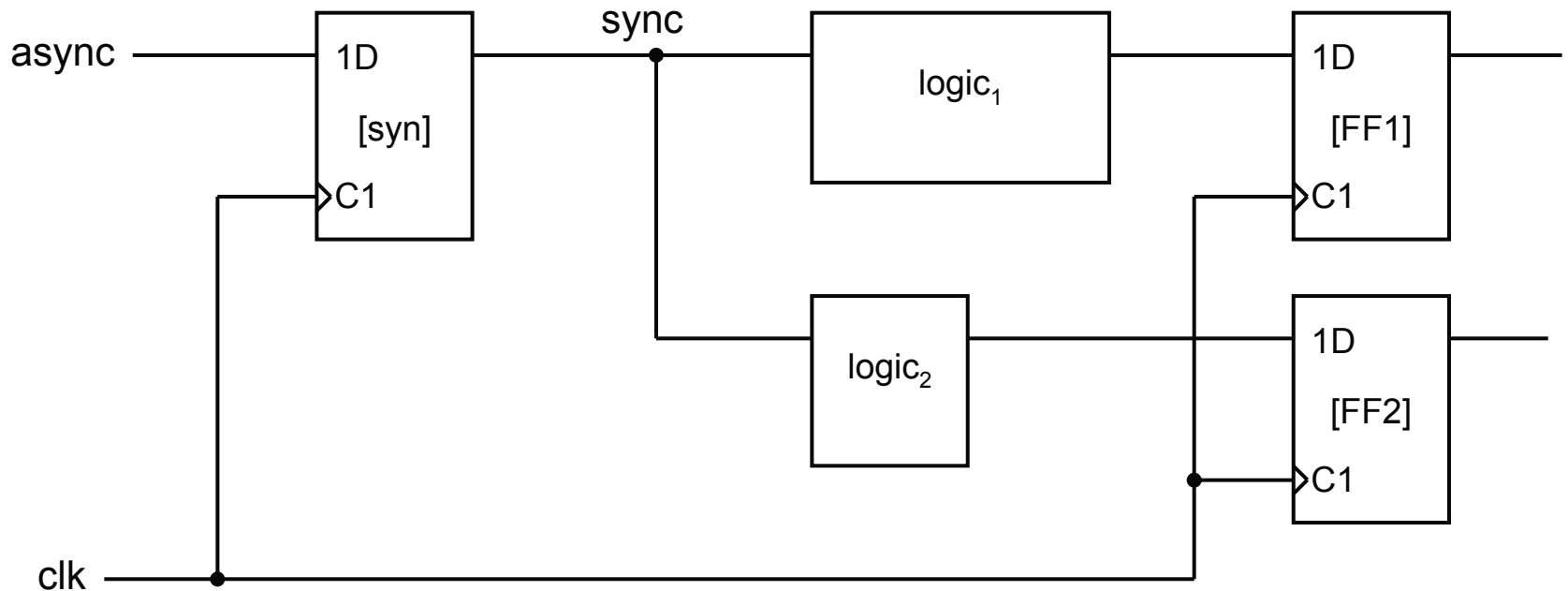
Synchronisatie

- Hieronder de timing zonder synchronizer.



Synchronisatie

- Synchroniseren van asynchrone data.



$$T_{\min} = t_{P(\max)}(\text{syn}) + t_{P(\max)}(\text{logic}_1) + t_{\text{su}}(\text{FF1})$$

Opgave

- Gegeven het systeem van de vorige slide.

Van flipflops FF1 en FF2 is gegeven $t_{su}/t_h/t_{P(min)}/t_{P(max)}=5/2/4/10$ ns

Van de synchronizer is gegeven $t_{su}/t_h/t_{P(min)}/t_{P(max)}=2/0/3/5$ ns, $\tau = 0,135$ ns, $T_0 = 9,8 \cdot 10^6$ s

Van logica₁ is gegeven $t_{P(min)}/t_{P(max)}=10/20$ ns

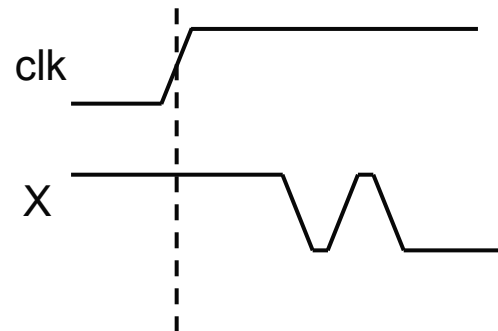
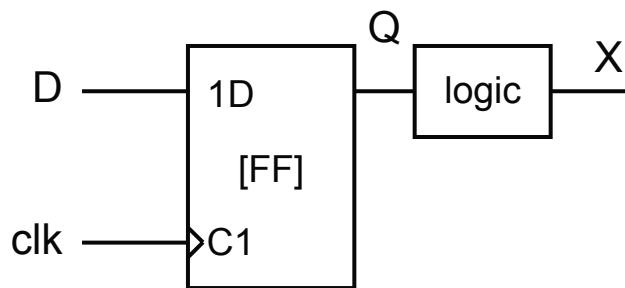
Van logica₂ is gegeven $t_{P(min)}/t_{P(max)}=5/12$ ns

De systeemfrequentie is 25 MHz. De frequentie van de asynchroon binnenkomende data bedraagt 2 kHz.

Bepaal de MTBF van dit systeem.

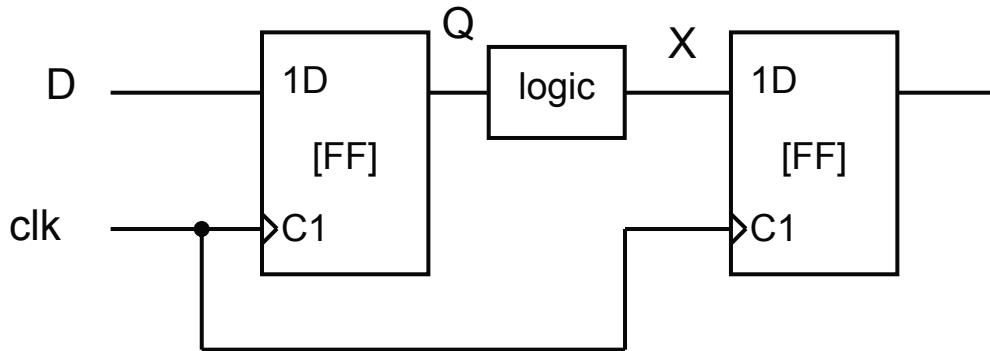
Synchronisatie

- De uitgangen van een synchroon systeem veranderen na de klokflank en zijn synchroon met de klok.
- De uitgangslógica kan echter wel *multi transition* zijn, wat inhoudt dat er meerdere signaalwisselingen volgen voordat de definitieve waarde wordt aangenomen.
- Dit levert problemen op voor het achterliggende systeem.



Synchronisatie

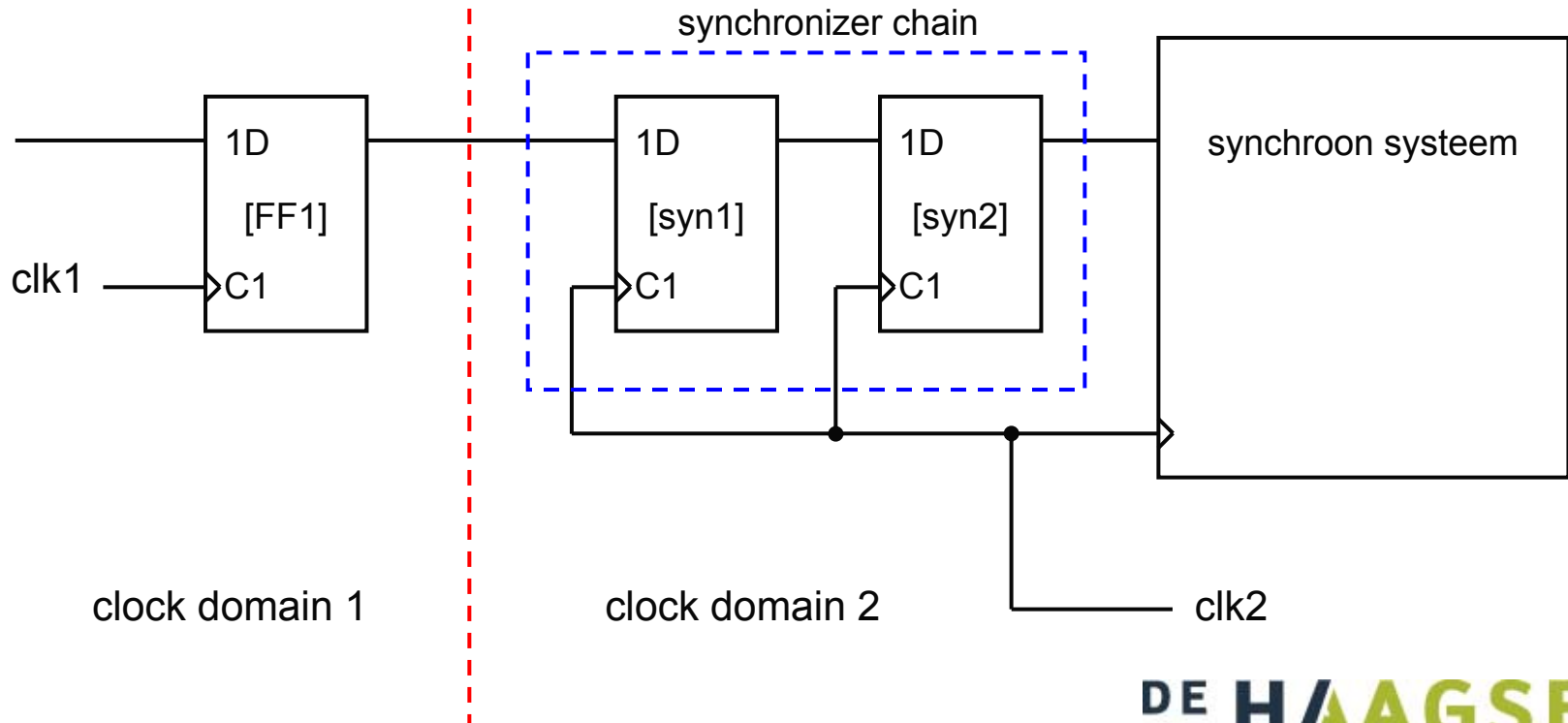
- Dit kan eenvoudig worden opgelost door een uitgangsflop te gebruiken (*registered output*).



- Voorwaarde: flipflop is *single transition*.
- Nadeel: uitgang één klokpuls later beschikbaar.

Synchronisatie

- In grote systemen zijn soms meerdere kloksignalen aanwezig (*clock domains*) die geen relatie met elkaar hebben. De kloksignalen zijn asynchroon t.o.v. van elkaar. Synchronisatie is dan noodzakelijk.



Reset

- Een reset is een noodzakelijke faciliteit van elk digitaal systeem met geheugenwerking.
- Het zorgt ervoor dat de flipflops in een bepaalde (toe-)stand worden gedwongen.
- Bij het starten van een systeem (opkomen van de voedingsspanning) is namelijk niet bekend wat de toestanden van de flipflops zijn.

Reset

- Er zijn twee soorten resets:

Asynchroon:

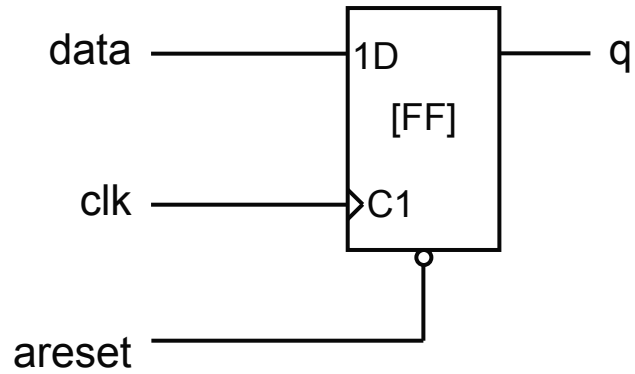
Het reset-sigitaal komt direct op de flipflops binnen als een apart stuursigitaal. Deze vorm werkt buiten de klok om.

Synchroon:

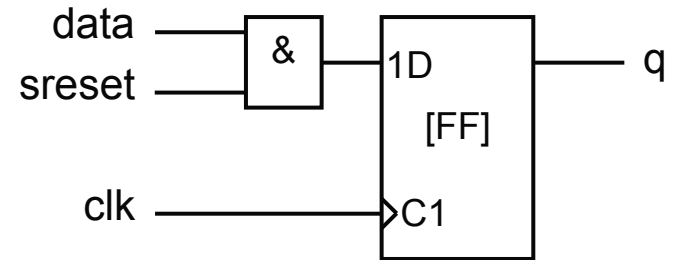
Het reset-sigitaal komt binnen als een “gewoon” datasigitaal en kan verwerkt worden in de logica. Deze vorm is synchroon met de klok.

- Beide vormen worden in de praktijk gebruikt.

Reset



flipflop met actief laag
asynchrone reset



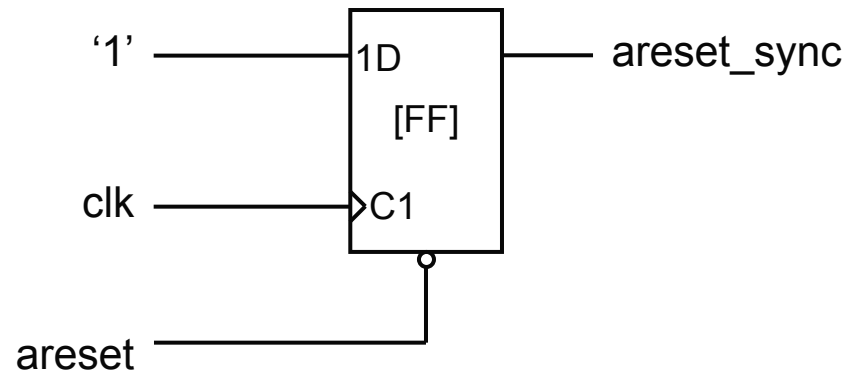
flipflop met actief laag
synchrone reset

Reset

- Het ligt voor de hand om een asynchrone reset te gebruiken.
- De flipflops worden bij activatie direct in een bekende beginstand gezet (het kost natuurlijk wel enige tijd voordat de flipflop de activatie “ziet”).
- Als het resetsignaal gedeactiveerd wordt tijdens de klokflank, kunnen er problemen ontstaan.
- De flipflop kan tijdelijk metastabiel worden.
- Het recept is dus eenvoudig:
- Asynchrone activatie en synchrone deactivatie.

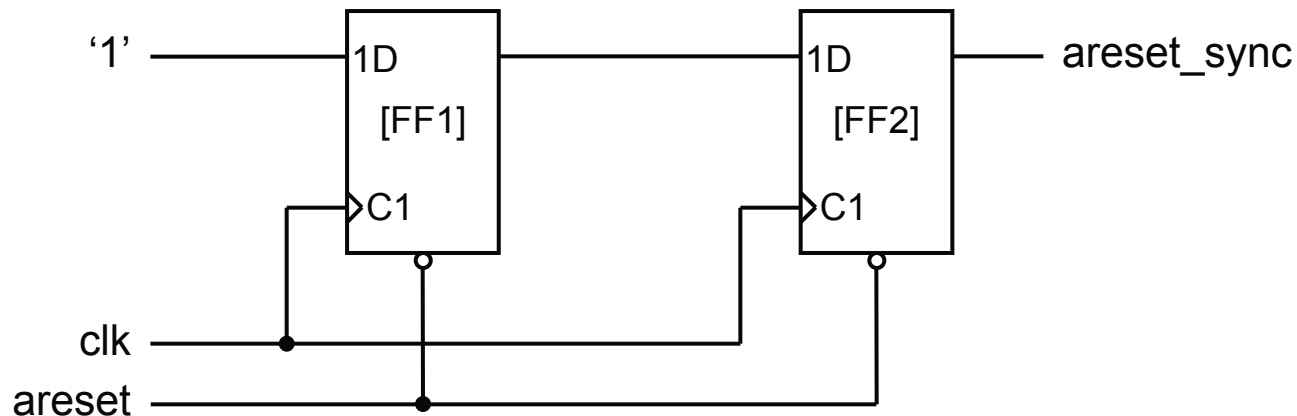
Eerste poging

- Een eerste poging:
- Bij activatie wordt de flipflop asynchroon gereset, de stand is '0'.
- Bij deactivatie wordt de flipflop op de klokflank geladen met een '1'.
- Nadeel: de flipflop kan metastabiel worden als de reset gedeactiveerd wordt binnen het gebied $t_{su} - t_h$.



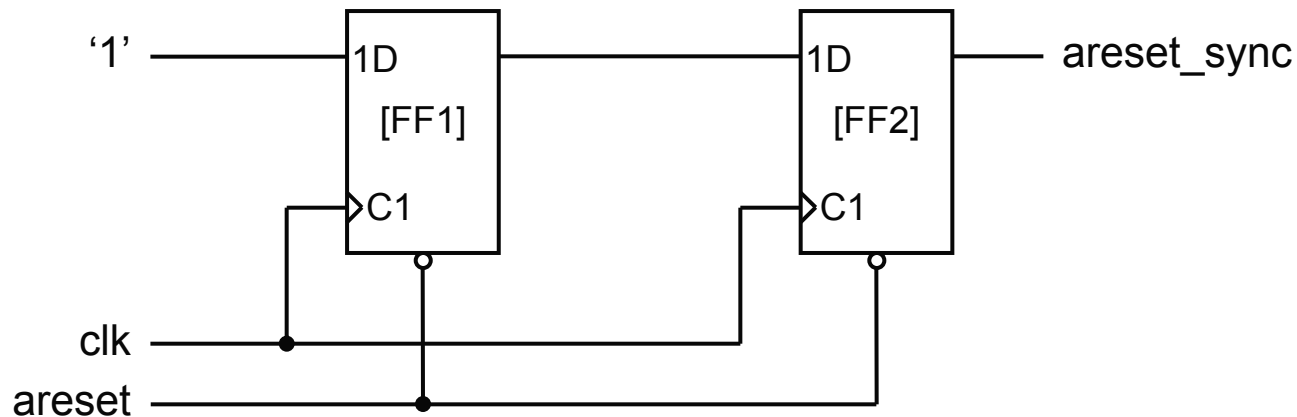
Reset synchronizer

- Direct na activatie worden beide flipflops asynchroon geladen met '0'. Bij deactivatie wordt de eerste flipflop op de klokflank geladen met '1', de tweede met een 0. De eerste flipflop kan metastabiel worden, de tweede niet, want zowel de ingang als de uitgang van de tweede flipflop zijn '0'.



Reset synchronizer

- Na nog een klokflank is ook de tweede flipflop geladen met een '1'. Helaas kan de tweede flipflop metastabiel worden als gevolg van metastabiliteit van de eerste flipflop. De kans daarop is echter verwaarloosbaar klein.



Referenties

- http://www.ee.ic.ac.uk/pcheung/teaching/ee3_DSD/9-metastability.pdf
- http://www.interfacebus.com/Design_MetaStable.html
- <http://eprint.iacr.org/2011/637.pdf>
- http://www.silasvalley.com/PDF_CONTENT/FPGA%201%20-%20The%20Clock%20v1_0.pdf
- <http://www.asic-world.com/tidbits/metastability.html>

- http://www.sunburst-design.com/papers/CummingsSNUG2003Boston_Resets.pdf
(lees hoofdstuk 7, i.h.b. Paragraaf 7.1)

- <https://www.scribd.com/document/87138725/TN005-Reset-Synchronization-v00>
(lees paragraaf 4.2)

- Discussie over het implementeren van een reset:
<http://www.alteraforum.com/forum/showthread.php?t=45135>



Academie voor Technology, Innovation &
Society Delft
Academie voor ICT & Media

De Haagse Hogeschool, Delft
+31-15-2606311
J.E.J.opdenBrouw@hhs.nl
www.dehaagsehogeschool.nl

DE HAAGSE
HOGESCHOOL