

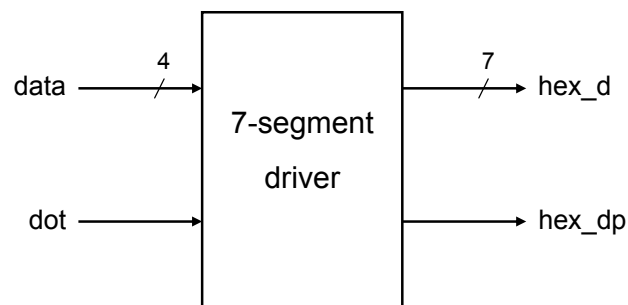
## Opdracht week 2 – 7-segment display

### Inleiding

De 7-segment displays spelen een belangrijke rol bij het afbeelden van decimale en hexadecimale getallen. Het principe is eenvoudig. Zeven leds (segments) zijn zodanig gerangschikt dat de cijfers 0 t/m 9 zijn af te beelden. Daarnaast bevat elk display meestal een punt (dot) om een komma in een getal te introduceren (merk op dat angelsaskische landen een punt gebruiken tussen eenheden en decimalen, in Nederland gebruiken we een komma). Het is mogelijk om ook de letters A t/m F weer te geven, zodat hexadecimale getallen kunnen worden afgebeeld.

Op het ontwikkelbord zijn vier 7-segment displays naast elkaar geplaatst zodat de getallen 0 t/m 9999 (of FFFF) zijn weer te geven.

In deze opdracht ga je één 7-segment decoder in VHDL ontwikkelen voor één 7-segment display. Dat kan heel eenvoudig met behulp van Selected Signal Assignment. Je moet alleen goed in de gaten houden dat de 7-segment ledjes gaan branden als een logische 0 wordt aangeboden. Het ontwerp heeft twee ingangen en twee uitgangen, zie figuur 1.



Figuur 1: Aansluiting 7-segment driver.

Door de pijl bij `data` staat een streepje met daarbij het getal 4. Dit geeft aan dat `data` een vector is van vier bits breed. Vector `hex_d` is dus zeven bits breed.

In listing 1 op pagina 2 is al wat ingevuld, maar er zitten fouten in en er ontbreekt nog wat.

### Leerdoelen

De leerdoelen van deze opdracht zijn:

- Opzetten van een nieuw project in Quartus.
- Ontwerpen van een schakeling met behulp van VHDL's Selected Signal Assignment.
- Testen van de ingevoerde beschrijving.
- Diverse VHDL-taalconstructies leren kennen.

```

library ieee;
use ieee.std_logic_1164.all;
entity seven_segment is
    -- port definitie is niet correct
    port (data    : in std_logic_vector;
          dot     : in std_logic;
          hex_d   : out;
          hex_dp  : out std_logic
    );
end seven_segment;

architecture behav of seven_segment is
begin
    with data select
        --          6543210
        hex_d <= "111111" when "0000",
                "000000" when "0001",
                -- nog aanvullen
                "-----" when others;
        -- de punt
        hex_dp <= dot;
end behav;

```

**Listing 1:** Beschrijving 7-segment decoder (foutief en incompleet)

## Opdrachten

De volgende opdrachten moeten gedaan worden:

- Maak een nieuw project aan. Kies een geschikte map op de schijf en geef het project en de *top-level entity* de naam `seven_segment`.
- Maak de beschrijving uit listing 1 compleet. De signalen zijn van het type `std_logic` of `std_logic_vector`, tenzij anders aangegeven. In bijlage B van de tutorial staat hoe de segmenten gepositioneerd zijn.
- Voer de juiste pinkoppelingen in. Gebruik `HEX0_D` als 7-segment display. De pinaansluitingen staan vermeld in bijlage B van de tutorial.
- Synthetiseer en implementeer de VHDL-code en laadt het in het DE0-bordje.
- Test het ontwerp op een DE0-bord.

## Opmerkingen

Bij deze opdracht wordt nog niet gesimuleerd.

De beschrijving uit de listing bevat tal van fouten en is incompleet. Je moet deze aanpassen en uitbreiden.

De leds van de 7-segment display werken actief laag. Een logische '0' uit de schakeling zorgt ervoor dat de leds gaan branden.